

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **08321606 A**(43) Date of publication of application: **03 . 12 . 96**

(51) Int. Cl.

H01L 29/78(21) Application number: **07127833**(22) Date of filing: **26 . 05 . 95**(71) Applicant: **NISSAN MOTOR CO LTD**(72) Inventor: **HAYAMI YASUAKI
HOSHI MASAKATSU**(54) **HORIZONTAL POWER MOSFET**

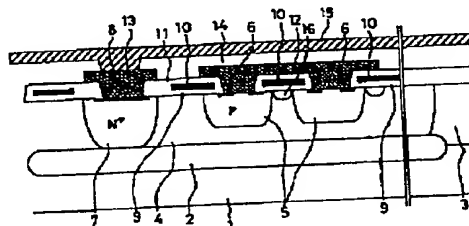
(57) Abstract:

PURPOSE: To further lower the on-resistance without decreasing the breakdown strength by a method wherein the first conductivity type region with high concentration is formed on the first main surface side of the semiconductor substrate region in respective spaces of the second adjoining conductivity type base regions.

CONSTITUTION: Plural cells in the horizontal MOSFET provided on the first surface side of respective electrodes such as a gate electrode 10, a source electrode 12 and a drain electrode 13 are arranged on the same chip. At this time, in the planar arrangement pattern of plural cells, source cell regions corresponding to source aperture parts and drain cell regions corresponding to drain aperture parts are regularly arranged at a specific pitch. Furthermore, one cell is composed of one drain cell region arranged in the central part and plural source cell regions provided in two rows around the one drain cell region. In such a lateral power MOSFET, the first conductivity type region 16 with high concentration is formed on the first main surface side of the second substrate region 4 in

respective spaces of the second adjoining conductivity type regions.

COPYRIGHT: (C)1996,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-321606

(43) 公開日 平成8年(1996)12月3日

(51) Int.Cl.⁶

H01L 29/78

識別記号

庁内整理番号

F I

H01L 29/78

技術表示箇所

301W

301S

301X

審査請求 未請求 請求項の数3 OL (全7頁)

(21) 出願番号

特願平7-127833

(22) 出願日

平成7年(1995)5月26日

(71) 出願人 000003997

日産自動車株式会社

神奈川県横浜市神奈川区宝町2番地

(72) 発明者 早見 泰明

神奈川県横浜市神奈川区宝町2番地 日産
自動車株式会社内

(72) 発明者 星 正勝

神奈川県横浜市神奈川区宝町2番地 日産
自動車株式会社内

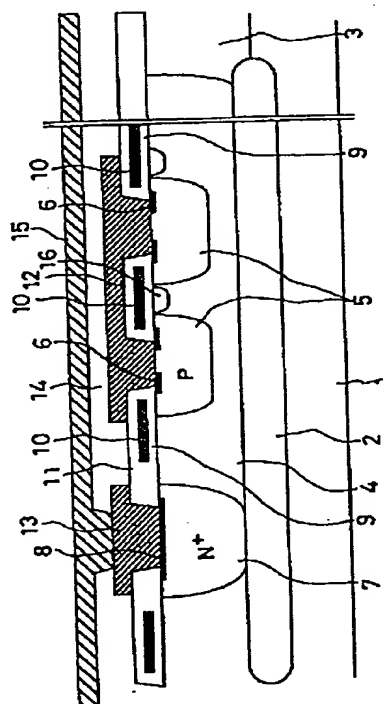
(74) 代理人 弁理士 三好 秀和 (外8名)

(54) 【発明の名称】 横型パワーMOSFET

(57) 【要約】

【目的】 本発明は、耐圧を低下させることなく、より一層オン抵抗を低減することを目的とする。

【構成】 ゲート電極10の下方で、隣り合う第2導電型ベース領域5の各間におけるドレイン領域となる第1導電型半導体基体領域4の第1主面側に高濃度第1導電型領域16を形成したことを特徴とする。



【特許請求の範囲】

【請求項1】 ドレイン領域となる第1導電型の半導体基体領域の第1主面側にゲート絶縁膜を介して形成されたゲート電極と、該ゲート電極に設けられたソース開口部からの二重拡散により形成された第2導電型ベース領域及び該第2導電型ベース領域内に形成された高濃度第1導電型ソース領域と、前記ゲート電極に設けられたドレイン開口部から前記半導体基体領域に電氣的に導通をとるために形成された高濃度第1導電型ドレイン領域と、前記半導体基体領域における前記第1主面側とは反対側の第2主面側に形成された低抵抗領域と、該低抵抗領域と前記高濃度第1導電型ドレイン領域とを低抵抗で導通させる導通領域とを備え、前記ゲート電極、前記高濃度第1導電型ソース領域に接続されたソース電極及び前記高濃度第1導電型ドレイン領域に接続されたドレイン電極の各電極が前記第1主面側に設けられた横型MOSFETの構造を有するセルが同一チップ上に複数個配置されるとともに、該複数個のセルの平面的な配置パターンは前記ソース開口部に対応するソースセル領域と前記ドレイン開口部に対応するドレインセル領域とが規則的に所定のピッチで配置されており、かつ1つのセルには中央部に配置された1つのドレインセル領域の周りに複数個のソースセル領域が2列以上設けられた構成を有する横型パワーMOSFETにおいて、隣り合う前記第2導電型ベース領域の各間における前記半導体基体領域の第1主面側に高濃度第1導電型領域を形成してなることを特徴とする横型パワーMOSFET。

【請求項2】 ドレイン領域となる第1導電型の半導体基体領域の第1主面側にゲート絶縁膜を介して形成されたゲート電極と、該ゲート電極に設けられたソース開口部からの二重拡散により形成された第2導電型ベース領域及び該第2導電型ベース領域内に形成された高濃度第1導電型ソース領域と、前記ゲート電極に設けられたドレイン開口部から前記半導体基体領域に電氣的に導通をとるために形成された高濃度第1導電型ドレイン領域と、前記半導体基体領域における前記第1主面側とは反対側の第2主面側に形成された低抵抗領域と、該低抵抗領域と前記高濃度第1導電型ドレイン領域とを低抵抗で導通させる導通領域とを備え、前記ゲート電極、前記高濃度第1導電型ソース領域に接続されたソース電極及び前記高濃度第1導電型ドレイン領域に接続されたドレイン電極の各電極が前記第1主面側に設けられた横型MOSFETの構造を有するセルが同一チップ上に複数個配置されるとともに、該複数個のセルの平面的な配置パターンは前記ソース開口部に対応するソースセル領域と前記ドレイン開口部に対応するドレインセル領域とが規則的に所定のピッチで配置されており、かつ1つのセルには中央部に配置された1つのドレインセル領域の周りに複数個のソースセル領域が2列以上設けられた構成を有する横型パワーMOSFETにおいて、隣り合う前記第

2導電型ベース領域の各間に対応する前記低抵抗領域上に高濃度第1導電型凸状領域を形成してなることを特徴とする横型パワーMOSFET。

【請求項3】 前記高濃度第1導電型領域又は前記高濃度第1導電型凸状領域は、前記高濃度第1導電型ドレイン領域と、当該高濃度第1導電型ドレイン領域と対向する前記第2導電型ベース領域との間には形成せず、かつ前記高濃度第1導電型領域又は前記高濃度第1導電型凸状領域と前記高濃度第1導電型ドレイン領域との距離は、前記高濃度第1導電型ドレイン領域と、当該高濃度第1導電型ドレイン領域と対向する前記第2導電型ベース領域間の距離以上に形成してなることを特徴とする請求項1又は2記載の横型パワーMOSFET。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、横型パワーMOSFET(LDMOS)に関し、特にオン抵抗を低減するための構造に関するものである。

【0002】

【従来の技術】従来のLDMOSとしては、例えば本件発明者らにより特願平6-10984号で開示した図7、図8に示すようなものがある。両図は、それぞれ断面構造と平面パターン配置を示している。図7において、P型半導体基板1の第1主面内に低抵抗領域となるN⁺型埋込み層2が形成され、このN⁺型埋込み層2を含むP型半導体基板1の第1主面上にP型エピタキシャル層3が形成されている。P型エピタキシャル層3内にN型ドレイン領域(N型半導体基体領域)4が形成されている。N型ドレイン領域4内にP型ベース領域5及び高濃度N⁺型ドレイン領域8が形成され、さらにN⁺型埋込み層2に達する導通領域としての高濃度N⁺型ドレイン取り出し領域7が形成されている。P型ベース領域5内には高濃度N⁺型ソース領域6が形成されており、高濃度N⁺型ソース領域6とN型ドレイン領域4との間のP型ベース領域5上にゲート絶縁膜9を介してゲート電極10が形成されている。上記のP型ベース領域5とその領域内に形成された高濃度N⁺型ソース領域6とは、全面に形成されたゲート電極10膜に設けられたソース開口部からの二重拡散により形成され、高濃度N⁺型ドレイン領域8は、同じくゲート電極10膜に設けられたドレイン開口部からの拡散により形成されている。そして、第1層層間絶縁膜11によりゲート電極10と絶縁されてソース電極12及びドレイン電極13が形成され、第2層層間絶縁膜14によりソース電極12と絶縁されてドレイン電極13に接続された第2層ドレイン電極15が形成されている。

【0003】図8は、MOSFETセルを構成するソースセル領域S及びドレインセル領域Dの平面配置を示している。なお、ソースセル領域S及びドレインセル領域Dとは、全面に形成したゲート電極10膜に開けたソー

ス開口部及びドレイン開口部にそれぞれ対応する領域である。ただし、実際上の開口部は、ソース電極12及びドレイン電極13とゲート電極10との接触を避けるために設けた第1層層間絶縁膜11の開口部（ゲート電極10に設けた開口部よりもやや狭い）となる。図に示すように、MOSFETセル1個当たりソースセル領域Sが6×6個配列の正方形メッシュ状に所定のピッチで配置されており、その中心の2×2個配列のソースセル領域位置にドレインセル領域Dが配置されている。このようなMOSFETセル1個当たりのパターン配置を基本として、繰り返しソースセル領域Sとドレインセル領域Dが配置されている。

【0004】次に、上記従来のLDMOSの動作を説明する。第2層ドレイン電極15とソース電極12との間に正電圧が印加された状態で、ゲート電極10にしきい値以上の電圧が印加されるとゲート電極10直下のP型ベース領域5の表面がN型に反転しチャネルが形成される。ドレインセル領域Dの周辺部に対向したソースセル領域Sでは高濃度N⁺型ドレイン領域8から電流がN型ドレイン領域4内に拡がり、上記チャネルを経由して高濃度N⁺型ソース領域6に電流が流れる。またドレインセル領域Dの周辺部に対向していない、即ちドレインセル領域Dから離れているソース領域Sでは、高濃度N⁺型ドレイン領域8から高濃度N⁺型ドレイン取り出し領域7に電流が流れ、引き続きN⁺型埋込み層2を横方向に流れ、さらにN型ドレイン領域4を縦方向に流れチャネルを経由して高濃度N⁺型ソース領域6に電流が流れる。

【0005】従来のLDMOSにおいては、ソース電極12、ゲート電極10、ドレイン電極13の各電極が半導体基板の同一主面上にあるので、複数の出力MOSFETを1チップ化することができるという利点があり、これと同時に、所定の間隔で配置されたソースセル領域Sの一部をドレインセル領域Dに置き換えてソースセル領域Sの高集積化を可能としオン抵抗の低減を図っている。

【0006】

【発明が解決しようとする課題】従来のLDMOSでは、P型ベース領域とN型ドレイン領域の間にできる空乏層によりゲート電極下方のN型ドレイン領域部分の抵抗が大きくなるという、いわゆるJ-FET効果による抵抗を低減するために一定値以上のゲート長が必要となっている。しかしながらゲート長が長くなると、ゲート電極下方のN型ドレイン領域部分自身の抵抗が増してオン抵抗を低減させるのに限界があった。このように、従来のLDMOSではオン抵抗を低減させるのに限界があり、より一層のオン抵抗低減技術が求められていた。

【0007】本発明は、上記に鑑みてなされたもので、耐圧を低下させることなく、より一層オン抵抗を低減することのできる横型パワーMOSFETを提供すること

を目的とする。

【0008】

【課題を解決するための手段】上記課題を解決するために、請求項1記載の発明は、ドレイン領域となる第1導電型の半導体基体領域の第1主面側にゲート絶縁膜を介して形成されたゲート電極と、該ゲート電極に設けられたソース開口部からの二重拡散により形成された第2導電型ベース領域及び該第2導電型ベース領域内に形成された高濃度第1導電型ソース領域と、前記ゲート電極に設けられたドレイン開口部から前記半導体基体領域に電氣的に導通をとるために形成された高濃度第1導電型ドレイン領域と、前記半導体基体領域における前記第1主面側とは反対側の第2主面側に形成された低抵抗領域と、該低抵抗領域と前記高濃度第1導電型ドレイン領域とを低抵抗で導通させる導通領域とを備え、前記ゲート電極、前記高濃度第1導電型ソース領域に接続されたソース電極及び前記高濃度第1導電型ドレイン領域に接続されたドレイン電極の各電極が前記第1主面側に設けられた横型MOSFETの構造を有するセルが同一チップ上に複数個配置されるとともに、該複数個のセルの平面的な配置パターンは前記ソース開口部に対応するソースセル領域と前記ドレイン開口部に対応するドレインセル領域とが規則的に所定のピッチで配置されており、かつ1つのセルには中央部に配置された1つのドレインセル領域の周りに複数個のソースセル領域が2列以上設けられた構成を有する横型パワーMOSFETにおいて、隣り合う前記第2導電型ベース領域の各間における前記半導体基体領域の第1主面側に高濃度第1導電型領域を形成してなることを要旨とする。

【0009】請求項2記載の発明は、ドレイン領域となる第1導電型の半導体基体領域の第1主面側にゲート絶縁膜を介して形成されたゲート電極と、該ゲート電極に設けられたソース開口部からの二重拡散により形成された第2導電型ベース領域及び該第2導電型ベース領域内に形成された高濃度第1導電型ソース領域と、前記ゲート電極に設けられたドレイン開口部から前記半導体基体領域に電氣的に導通をとるために形成された高濃度第1導電型ドレイン領域と、前記半導体基体領域における前記第1主面側とは反対側の第2主面側に形成された低抵抗領域と、該低抵抗領域と前記高濃度第1導電型ドレイン領域とを低抵抗で導通させる導通領域とを備え、前記ゲート電極、前記高濃度第1導電型ソース領域に接続されたソース電極及び前記高濃度第1導電型ドレイン領域に接続されたドレイン電極の各電極が前記第1主面側に設けられた横型MOSFETの構造を有するセルが同一チップ上に複数個配置されるとともに、該複数個のセルの平面的な配置パターンは前記ソース開口部に対応するソースセル領域と前記ドレイン開口部に対応するドレインセル領域とが規則的に所定のピッチで配置されており、かつ1つのセルには中央部に配置された1つのドレ

インセル領域の周りに複数個のソースセル領域が2列以上設けられた構成を有する横型パワーMOSFETにおいて、隣り合う前記第2導電型ベース領域の各間に対応する前記低抵抗領域上に高濃度第1導電型凸状領域を形成してなることを要旨とする。

【0010】請求項3記載の発明は、上記請求項1又は2記載の横型パワーMOSFETにおいて、前記高濃度第1導電型領域又は前記高濃度第1導電型凸状領域は、前記高濃度第1導電型ドレイン領域と、当該高濃度第1導電型ドレイン領域と対向する前記第2導電型ベース領域との間には形成せず、かつ前記高濃度第1導電型領域又は前記高濃度第1導電型凸状領域と前記高濃度第1導電型ドレイン領域との距離は、前記高濃度第1導電型ドレイン領域と、当該高濃度第1導電型ドレイン領域と対向する前記第2導電型ベース領域間の距離以上に形成してなることを要旨とする。

【0011】

【作用】請求項1記載の発明において、隣り合う第2導電型ベース領域の各間におけるドレイン領域となる第1導電型半導体基体領域の第1主面側に高濃度第1導電型領域を形成することにより、ゲート長をある一定値以上としても、ゲート電極下方の第1導電型半導体基体領域自身の第1主面側部分の抵抗が減少して一層オン抵抗を低減させることが可能となる。

【0012】請求項2記載の発明において、隣り合う前記第2導電型ベース領域の各間に対応する低抵抗領域上に高濃度第1導電型凸状領域を形成することにより、ゲート長をある一定値以上としても、ゲート電極下方の第1導電型半導体基体領域自身の低抵抗領域側部分の抵抗が減少して一層オン抵抗を低減させることが可能となる。

【0013】請求項3記載の発明において、高濃度第1導電型領域又は高濃度第1導電型凸状領域を、高濃度第1導電型ドレイン領域と、当該高濃度第1導電型ドレイン領域と対向する第2導電型ベース領域との間には形成せず、かつ高濃度第1導電型領域又は高濃度第1導電型凸状領域と高濃度第1導電型ドレイン領域との距離を、その高濃度第1導電型ドレイン領域と、当該高濃度第1導電型ドレイン領域と対向する第2導電型ベース領域間の距離以上に形成することにより、ドレイン・ソース間等の耐圧を低下させることなく、より一層オン抵抗を低減することが可能となる。

【0014】

【実施例】以下、本発明の実施例を図面に基いて説明する。図1～図3は、本発明の第1実施例を示す図である。なお、図1～図3及び後述の各実施例を示す図において前記図7、図8における部材及び部位と同一ないし均等のものは、前記と同一符号を以て示し、重複した説明を省略する。

【0015】図1に示すように、本実施例では、隣り合

うP型ベース領域5の各間におけるN型ドレイン領域4の表面側に高濃度N⁺型領域16が形成されている。このような構成とすることによって、ゲート長をある一定値以上としても、ゲート電極10下方のN型ドレイン領域4自身の表面側部分の抵抗が減少して一層オン抵抗を低減することができる。

【0016】図2は、高濃度N⁺型領域16の形成位置を平面パターンで示している。同図(a)に示すように、ソースセル領域Sとソースセル領域Sの間（正確にはP型ベース領域5とP型ベース領域5の間）の領域に高濃度N⁺型領域16が形成されている。但し、ソースセル領域Sの周辺でドレインセル領域Dと対向する領域には高濃度N⁺型領域16は形成していない。また同図(b)に示されているが、高濃度N⁺型領域16とドレインセル領域D（正確には高濃度N⁺型ドレイン領域8）間の距離aは、高濃度N⁺型領域16が形成されない場合と比較してドレイン・ソース間等の耐圧が低下しないだけの距離とする。例えば距離aをドレインセル領域Dとそれと対向するソースセル領域Sとの間の距離b以上にすれば耐圧の低下は起こらない。

【0017】ここでソースセル領域Sとソースセル領域Sの間の領域に高濃度N⁺型領域を形成することがスペース的に又はプロセス的に困難な場合には、図3に示すように、4つのソースセル領域Sに囲まれた領域にのみ高濃度N⁺型領域16aを形成する。この場合も図2の場合と同様に、高濃度N⁺型領域16aが形成されない場合と比較して耐圧を低下させない範囲に高濃度N⁺型領域16aを形成する。このような構造にすることによってもゲート電極10下方のN型ドレイン領域4自身の表面側部分の抵抗が減少して一層オン抵抗を低減することができる。

【0018】図4には、本発明の第2実施例を示す。本実施例では、高濃度N⁺型領域16を形成する領域は第1実施例の場合と同様であるが、ゲート電極10aに間隔を設けることで、高濃度N⁺型領域16を高濃度N⁺型ドレイン領域8又は高濃度N⁺型ソース領域6と同時に形成することが可能となる。したがってマスク枚数を増やすことなく高濃度N⁺型領域16を形成することができ、第1実施例と同様の効果が得られる。

【0019】図5には、本発明の第3実施例を示す。上述の第1及び第2の実施例では、高濃度N⁺型領域をN型ドレイン領域4の表面側に形成したが、本実施例では高濃度N⁺型凸状領域17をN⁺型埋込み層2上に形成している。高濃度N⁺型凸状領域17を形成する平面パターン配置上の位置は、図2で示したようにソースセル領域Sとソースセル領域Sの間の領域や、図3で示したように4つのソースセル領域Sに囲まれた領域であり、高濃度N⁺型凸状領域17を形成することにより耐圧が低下しないような範囲に形成する。このような構成にすることによって、ゲート長をある一定値以上としても、

ゲート電極10下方のN型ドレイン領域4自身のN⁺型埋込み層2側部分の抵抗が減少して一層オン抵抗を低減させることができる。

【0020】図6には、本発明の第4実施例を示す。本実施例は第1実施例と第3実施例を合わせたもので、N型ドレイン領域4の表面側に高濃度N⁺型領域16を形成し、これと対向するようにN⁺型埋込み層2上に高濃度N⁺型凸状領域17を形成したものである。このような構成にすることでさらにオン抵抗を低減することができる。

【0021】

【発明の効果】以上説明したように、請求項1記載の発明によれば、隣り合う第2導電型ベース領域の各間におけるドレイン領域となる第1導電型半導体基体領域の第1主面側に高濃度第1導電型領域を形成したため、ゲート長をある一定値以上としても、ゲート電極下方の第1導電型半導体基体領域自身の第1主面側部分の抵抗が減少して一層オン抵抗を低減させることができる。

【0022】請求項2記載の発明によれば、隣り合う第2導電型ベース領域の各間に対応する低抵抗領域上に高濃度第1導電型凸状領域を形成したため、ゲート長をある一定値以上としても、ゲート電極下方の第1導電型半導体基体領域自身の低抵抗領域側部分の抵抗が減少して一層オン抵抗を低減させることができる。

【0023】請求項3記載の発明によれば、高濃度第1導電型領域又は高濃度第1導電型凸状領域は、高濃度第1導電型ドレイン領域と、当該高濃度第1導電型ドレイン領域と対向する第2導電型ベース領域との間には形成せず、かつ高濃度第1導電型領域又は高濃度第1導電型凸状領域と高濃度第1導電型ドレイン領域との距離は、高濃度第1導電型ドレイン領域と、当該高濃度第1導電

型ドレイン領域と対向する第2導電型ベース領域間の距離以上に形成したため、ドレイン・ソース間等の耐圧を低下させることなく、より一層オン抵抗を低減することができる。

【図面の簡単な説明】

【図1】本発明に係る横型パワーMOSFETの第1実施例を示す縦断面図である。

【図2】上記第1実施例におけるドレインセル、ソースセルの平面パターン配置を示す平面図である。

【図3】上記第1実施例におけるドレインセル、ソースセルの平面パターン配置の他の例を示す平面図である。

【図4】本発明の第2実施例を示す縦断面図である。

【図5】本発明の第3実施例を示す縦断面図である。

【図6】本発明の第4実施例を示す縦断面図である。

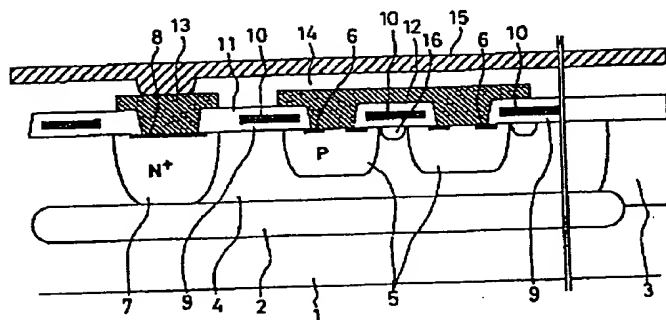
【図7】従来の横型パワーMOSFETを示す縦断面図である。

【図8】上記従来例におけるドレインセル、ソースセルの平面パターン配置を示す平面図である。

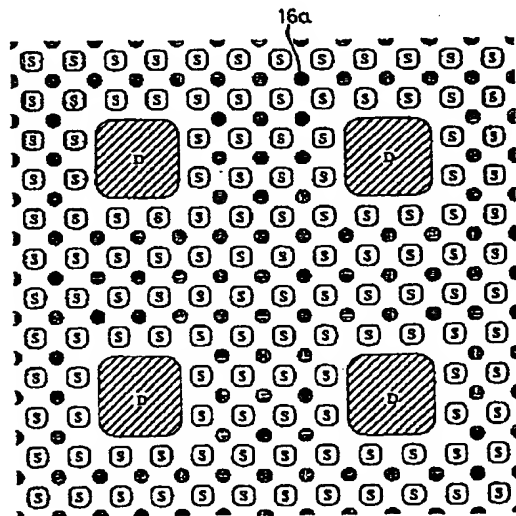
【符号の説明】

- 2 N⁺型埋込み層（低抵抗領域）
- 4 N型ドレイン領域（N型半導体基体領域）
- 5 P型ベース領域
- 6 高濃度N⁺型ソース領域
- 7 高濃度N⁺型ドレイン取り出し領域（導通領域）
- 8 高濃度N⁺型ドレイン領域
- 9 ゲート絶縁膜
- 10 ゲート電極
- 12 ソース電極
- 13 ドレイン電極
- 16 高濃度N⁺型領域
- 17 高濃度N⁺型凸状領域

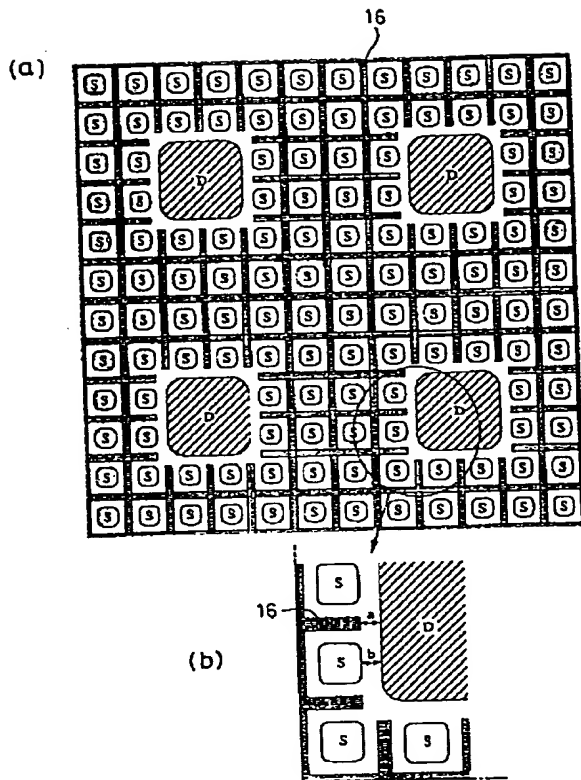
【図1】



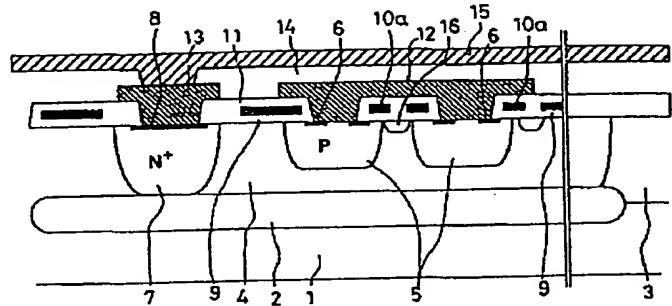
【図3】



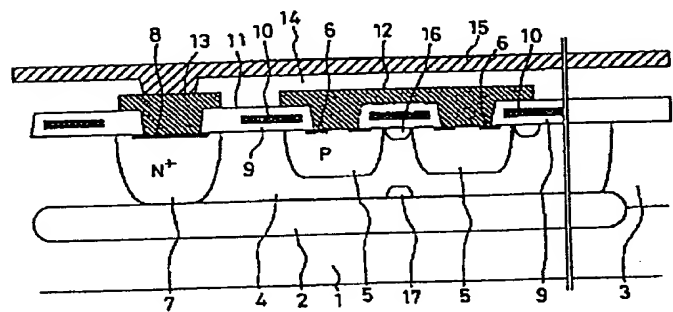
【図 2】



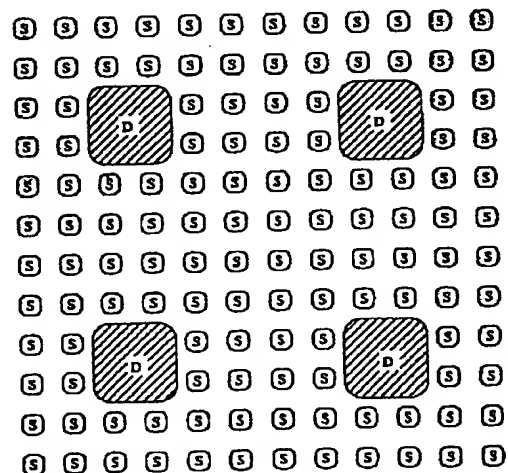
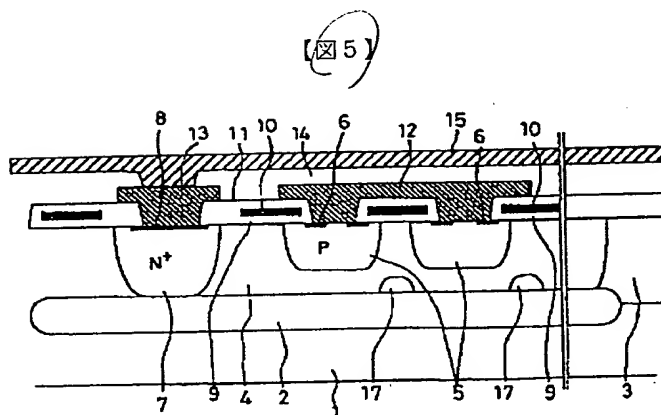
【図 4】



【図 6】



【図 8】



【図 7】

